

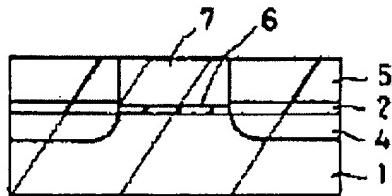
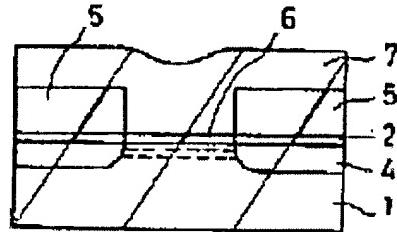
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP4123439
Publication date: 1992-04-23
Inventor: USHIKU YUKIHIRO
Applicant: TOSHIBA CORP
Classification:
- international: H01L21/336; H01L29/784
- european:
Application number: JP19900242508 19900914
Priority number(s):

Abstract of JP4123439

PURPOSE: To generate no matching deviation between the source/drain regions and a gate electrode so as to form a minute element by a method wherein a dummy gate of the same shape is formed in a gate electrode formation scheduled region, an impurity is introduced with the dummy gate as a mask for forming the source/drain regions, the dummy gate is removed by etching to form a groove, and a gate electrode material is buried into the groove.

CONSTITUTION: An oxide film 2 is formed on the surface on an n-type silicon substrate 1, and a resist pattern of a gate electrode, that is, a dummy gate 3 is formed. Boron ions are implanted to form the source/drain regions 4. Next, a wafer is dipped in an aqueous solution of hydrosilicofluoric acid saturated with silica and I is added, and an SiO₂ film 5 is formed. The dummy gate 3 is removed, boron ions are implanted as a channel impurity to obtain a sharp channel profile. A gate oxide film 6 is formed, polysilicon 7 is deposited on the part of the removed dummy gate 3 and after phosphorus is diffused, reactive ion etching is performed so as to bury polysilicon 7 only in the part of the removed dummy gate.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

⑪公開特許公報(A) 平4-123439

⑫Int.Cl.

H 01 L 21/336
29/784

品別記号 厅内整理番号

⑬公開 平成4年(1992)4月23日

8422-4M H 01 L 29/78 301 P

審査請求 未請求 請求項の数 4 (全11頁)

⑭発明の名称 半導体装置の製造方法

⑮特 願 平2-242508

⑯出 願 平2(1990)9月14日

⑰発 明 者 牛 久 幸 広 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑱出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲代 理 人 弁理士 則近 慎佑

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1)半導体基板上のゲート電極形成予定域にこのゲート電極と同一形状のダメージゲートを形成する工程と、このダメージゲートをマスクに不純物を導入しソース／ドレイン領域を形成する工程と、このソース／ドレイン領域上に前記ダメージゲート以下の厚さに絕縁膜を形成する工程と、前記ダメージゲートをエッティング除去し裸を形成する工程と、このエッティング除去された裸にゲート電極材料を埋め込む工程と、前記絶縁膜を除去する工程と、前記絶縁膜を除去することにより露出した前記半導体基板に不純物を導入する工程とを具備したことを特徴とする半導体装置の製造方法。

(2)前記絶縁膜を前記ダメージゲート以下の厚さにする工程は、前記絶縁膜を前記ソース／ドレイン領域上にのみ選択的に成長させる工程であることを特徴とする請求項(1)記載の半導体装置の製造方法。

(3)前記絶縁膜を前記ダメージゲート以下の厚さに

する工程は、前記半導体基板上に前記絶縁膜を長方形成長させる工程と、前記ソース／ドレイン領域上の前記絶縁膜上にレジストを形成する工程と、前記ゲート電極形成予定域上の前記絶縁膜を除去する工程と、前記レジストを除去する工程とからなることを特徴とする請求項(1)記載の半導体装置の製造方法。

(4)前記ダメージゲートをエッティング除去し裸を形成する工程の後に、この裸に露出した前記絶縁膜の負担膜を形成する工程と、この負担膜の内側にゲート電極材料を埋め込む工程と、前記負担膜を除去する工程と、前記負担膜を除去することにより露出した前記半導体基板に不純物を導入する工程とを具備したことを特徴とする請求項(1)記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

〔産業上の利用分野〕

本発明は、半導体装置の製造方法に係り、特にMOSトランジスタのゲート電極形成方法に関するものである。

る。

(従来の技術)

第8図は、従来例のゲート電極形成の工程断面図である。

半導体基板101上に厚さ約10μmのゲート酸化膜102を熱酸化によって形成する。次に厚さ約400nmのポリシリコン103をCVD法によつて堆積する。次にフォトリソグラフィ工程によりゲート電極のレジストパターン104を形成する(第8図(a))。

次に、このレジストパターン104をマスクにリニアティブイオンエッティング(BIE法)によりゲートポリシリコン103を高効率的にエッティングする。この際ゲートポリシリコン103とゲート酸化膜102の厚さの比は約40あるので、ゲートポリシリコン103のエッティングを10オーバーに行なうと40倍、20オーバーに行なうと80倍のエッティング選択性がないとゲート酸化膜102はエッティングされつくしてしまう。更に、ゲートポリシリコン103と半導体基板101の

エッティング選択性は、ほぼ1に近いので同時にして半導体基板101はエッティングされてしまう。この際、半導体基板101に入ったダメージにより、電子がリークするなどの影響がある(第8図(b))。

次に、この状態で酸化を行なうと酸化膜105形成時にゲートポリシリコン103端に酸化膜105がバースピーク106の様にくい込み、ゲート端でゲート酸化膜102の厚さが厚くなるため、或他の要因など電子の特性劣化を招来する(第8図(c))。

次に、ソース／ドレイン領域107を形成すると酸化膜105のバースピーク106の為、ゲートポリシリコン103端とソース／ドレイン領域107端との重なりが小さくなりすきホットキャリアに対する信頼性が低下する(第8図(d))。

以上に示す様なゲート電極の形成方法においては、ゲートポリシリコン103のリニアティブイオンエッティング時に、半導体基板101がエッティングされる為リークの発生、電子特性の変動、劣

化あるいは電子の信頼性の低化等の問題点をひき起こす。しかしながら現状のエッティング技術では、ポリシリコンと酸化膜のエッティング選択性を40倍以上に向上させることは難しい。従って、厚さ約10μm以下の薄いゲート酸化膜を持つMOSトランジスタを製造することは極めて困難である。

第9図は従来技術のアルミニゲートトランジスタ形状の工程断面図である。

半導体基板108上に酸化膜109を厚さ約200nm堆積しフォトリソグラフィ工程によりゲート電極のレジストパターン110を形成し、これをマスクに酸化膜109をエッティングする(第9図(b))。

次に、レジストをはく離し、酸化膜109をマスクに不純物を拡散させ、半導体基板108中にソース／ドレイン領域111を形成する(第9図(b))。

次に、酸化膜109をエッティング除去後、厚さ約100nmのゲート酸化膜112を熱酸化法によつて形成する。次に、厚さ約400nmのアルミニ

ウム合金をスペッチャ法により堆積する。次にフォトリソグラフィ工程によりゲート電極のレジストパターンを形成し、これをマスクにアルミニウムゲート113をエッティングにより形成する(第9図(c))。

以上に示す様なアルミニウムゲートトランジスタの形成方法においては、ソース／ドレイン領域111とアルミニウムゲート113の形成が異なるフォトリソグラフィ工程により行なわれている為ソース／ドレイン領域111とアルミニウムゲート113との間のせわせれを見込んで電子を形成する必要があり、電子の後退化には適さない。

第10図は、従来技術のポリシリコンゲートトランジスタ形状の工程断面図である。

M型半導体基板114上に厚さ約20nmの酸化膜115を熱酸化法によつて形成する。次にチャネル不純物層115を形成する為に、ガロンを加速電圧20keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件下イオン注入する。この際のチャネル不純物層115の厚さは約0.1μmである(第10図(d))。

次に、リンを拡散させたポリシリコンを半導体基板 114 上に堆積後、フォトリソグラフィ工程によりゲート電極のレジストパターンを形成し、これをマスクにニッティングを行ないポリシリコンゲート 116 を形成する。次に、レジストパターンをはく離後、ポリシリコンゲート 116 を熱酸化する。この熱酸化の際、チャネル不純物層 114 の深さは約 0.15 μm 遷移する(第 10 図(b))。

次に、ソース／ドレイン領域 117 をボロンのイオン注入と 900°C, 30 分程度のアーナーによって形成する。このアーナー処理の際、チャネル不純物層 115 の深さは約 0.25 μm 遷移する(第 10 図(c))。

一般にガーデトを用いた場合、ゲートポリシリコンと半導体基板の仕事間数の差から、半導体基板の表面を薄いド型にする必要があるがこのド型不純物層がなければ浅い程ゲート電極によるチャネル領域の制御がしやすくなり、いわゆるショートチャネル効果に有利である。

しかしながら、以上に示した様なポリシリコン

電極と同一形状のダメージゲートを形成する工程と、このダメージゲートをマスクに不純物を導入しソース／ドレイン領域を形成する工程と、このソース／ドレイン領域上に前記ダメージゲート以下の厚さに絕縁層を形成する工程と、前記ダメージゲートをニッティング除去し界を形成する工程と、このエッティング除去された際にゲート電極材料を埋め込む工程とを具備したことを特徴とする半導体装置の製造方法を提供する。

(作用)

この様に本発明によればダメージゲートをマスクにして自己整合的にソース／ドレイン領域を形成すると共に、ダメージゲートを除去後更に自己整合的にゲート電極を形成している為、ソース／ドレイン領域とゲート電極に合わせずが生じず微細化された電子を形成することができる。

また、ゲート電極と周囲の絶縁層の高さをそろえることが可能であるので電子の平坦化をはかることができる。

(実施例)

ゲートトランジスタの形成方法においては、チャネル不純物をイオン注入してからの熱処理工程が、数多くある為、浅いチャネル不純物層を形成できない。従って、電子を微細化することも難しくなる。

(発明が解決しようとする課題)

以上の様に、従来の MOS ドラフトランジスタの形成方法においては、薄いゲート酸化膜を用いた MOS ドラフトランジスタが形成できない金属をゲート材料とした場合、セルファーラインでソース／ドレイン領域が形成できない、浅いチャネル領域の不純物拡散層が形成できず、従って 0.5 μm 以下のゲート長を持つ微細な MOS ドラフトランジスタを製造できないという問題点があった。

本発明は、この様な課題を解決する半導体装置の製造方法を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明は上記事情に鑑みて為されたもので、半導体基板上のゲート電極形成予定域にこのゲート

以下、本発明の実施例を図面を参照して説明する。

第 1 図は、本発明の第 1 の実施例の半導体装置の製造方法の工程断面図である。

ロ型シリコン基板 1 表面に熱酸化膜 2 を形成する。次にフォトリソグラフィ工程により厚さ約 1 μm のゲート電極のレジストパターンを形成する。このレジストパターンがダメージゲート 3 となる。なお、この露レジストとしては液体のものを用いる(第 1 図(a))。

次に、ダメージゲート 3 をマスクにボロンを加温電圧 2.0 keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、ソース／ドレイン領域 4 を形成する。この際、ソース／ドレイン領域 4 はダメージゲート 3 に対して自己整合的に形成される(第 1 図(b))。

次に、シリカを焼却させたケイフュ化水素酸水基板にウェーハを複数し、Al を蒸着すると、上記シリコン基板 1 上に SiO₂ 層 5 が形成される。この際、レジストから成るダメージゲート 3 は酸水性である為、ダメージゲート 3 上には、SiO₂ 層 5 は

形成されない。通常ポジ露レジストは酸水性を示すが、フォトを含むアラマにさらすことにより、より一層酸水性を示すほどなる為、SiO₂膜5を形成する工程に先だって多層シリコン基板1にアラマ処理を施しておいてもよい。また、このSiO₂膜5は、ダメージゲート3より薄く例えれば厚さ約0.8μmとする。この際、SiO₂膜5は、ダメージゲート3に対して自己整合的に形成される(第1図(d))。

次に、レジストから成るダメージゲート3を除去し、チャネル不純物としてボロンを加温電圧20kV、ドーズ量 2×10^{13} の条件でイオン注入する。この際、既にソース／ドレイン領域4は形成されているので、チャネルイオン注入後の熱処理に従来に比べ短時間で済む。従ってチャネル不純物層はシャープなチャネルプロファイルを得ることができる(第1図(e))。

次に、フッ化アンモニウム溶液を用いてダメージゲート3を除去することにより露出したSiO₂膜2をエッティング除去し、ゲート酸化を行って厚さ

約5μmのゲート酸化膜6を形成する。ここでSiO₂膜2を除去したのは、SiO₂膜2上にはレジストが形成されていたので、このSiO₂膜2をそのままゲート酸化膜として用いるとレジストによる汚染で電子特性を劣化させる為である。次に、除去されたダメージゲート3の部分にポリシリコン7をCVD法により堆積する。CVD法により形成されたポリシリコン7は、カバレージが良く、除去されたダメージゲートの端部を埋め込むことができる(第1図(f))。

次に、このポリシリコン7にリンを拡散した後、リアクティブイオンエンチャーミングを行なうことにより、除去されたダメージゲートの部分にのみ、ポリシリコン7が埋め込まれることになる。この際、ポリシリコン7から成るゲート電極は、ソース／ドレイン領域4に対して自己整合的に形成される(第1図(g))。

以上に示した様な半導体装置の製造方法によれば、ダメージゲートをマスクにして自己整合的にソース／ドレイン領域を形成し、このダメージゲート

を除去後、従来に比べ比較的短時間の熱処理によりチャネル不純物層を形成し、使ってゲート酸化膜を形成し、更にこのゲート酸化膜上に自己整合的にポリシリコンゲート電極を形成している為、以下の効果を有する。即ち、ゲート酸化膜が5μmという極めて薄い場合でもシリコン基板に損傷を与えることなくゲートの加工ができる。また、チャネル不純物プロファイルをシャープに形成することができる。また、ソース／ドレイン領域より後にゲート電極を形成しているにもかかわらず両者に合わせずが生じず、致密化された電子を形成することができる。更に、ゲート電極とその周囲のSiO₂膜の高さがほぼそろうので、例えば、この様の工程において絶縁膜の堆積平坦化を容易に行なうことが可能となる。

なお、ポリシリコンのかわりにアルミニウムをスペッタ法又はCVD法により取扱後エッチングするとことによりアルミニウムゲート電極のMOSトランジスタを形成することができる。以上の様なアルミニウムゲート電極のMOSトランジスタ

の形成方法によれば上記に示した効果の他に以下に示す様な効果を得ることができる。

即ち、ソース／ドレイン領域形成後にゲート電極を形成しているので熱処理が少なくてすみアルミニウムの様な比較的融点の低い材料をゲート電極に用いることができる。

第2回は、本発明の第2の実施例の半導体装置の製造方法の工程断面図である。

多層シリコン基板8上に厚さ約20μmの熱酸化膜9を形成する。次に厚さ約0.3μmのポリシリコン10をCVD法により堆積し、リンを拡散させ、更にこのポリシリコン10上にシリコンテクノ化膜11をCVD法により堆積する。次にフォトリソグラフィ工程により、ゲート電極のレジストパターンを形成し、このレジストパターンをマスクにリアクティブイオンエンチャーミングによりシリコンテクノ化膜11、ポリシリコン10をエッティング除去する。この際残留したシリコンテクノ化膜11、ポリシリコン10がダメージゲート12となる。ダメージゲート12の材料としては、レジスト、絶縁物、

タンクスチレン等の高融点金属、ポリシリコン、ポリシリコンとシリサイド、高融点金属の複層膜等を用いることができる(第2図(d))。

次にレジストをはく離し、ヒ素のイオン注入により、ロ型のソース／ドレイン領域13を形成する(第2図(b))。

次に絶縁膜例えばSiO₂膜14を厚さ約0.35μm異方性堆積させる。これは、例えばプラズマエレクトロニクライクロトロンレゾナンス法(プラズマE C R法)によって実現することができる。このプラズマE C R法によれば垂直方向にはSiO₂膜14は堆積するが、横方向にはほとんど堆積しない(第2図(c))。

次に、レジスト14aを厚さ約1.0μm露出し、そのまま現象し厚さ約0.2μm残す(後)にする(第2図(d))。

次に、NH₄OH溶液によってゲート12上のSiO₂膜14のみをエッティング除去する。次にレジストをはく離すると、SiO₂膜14aがシリコンチャーフ化膜11上に残る。次にケミカルドライエッティング法により

の除去された部分にリンをイオン注入することによりLDD構造のロ領域18を形成することができる(第2図(e))。

以上に示した様な半導体装置の製造方法によれば、ゲート領域15の内側にシリコンチャーフ化膜の側壁16を設けることにより、リソグラフィの限界より更に細いゲート電極17を形成することができる。また、熱酸化膜9のエッティング時にゲート領域15の側部のSiO₂膜14の侵食を防ぐことができる。また、從来の工組で形成されたLDD構造のロ領域に比べて熱処理工程が少ないので不純物濃度の制御がしやすい。

ここでゲートの側部に形成される絶縁膜の形成方法について説明する。

ゲートの下部が平坦な場合は通常の酸化膜堆積、エッチバック法を用いて絶縁膜をゲート以下に厚さに形成することは可能であるが、通常の場合は、ゲートの下部には少なくともフィールド酸化膜の設置があるので、このようにはできない。

カルドライエッティング法によりシリコンチャーフ化膜11を除去する。この際、シリコンチャーフ化膜11上のSiO₂膜14の残渣も同時に除去することができる。これがゲート12を複層構造にする理由である(第2図(e))。

次に、ポリシリコン10をエッティングにより取り除く。次に、この除去されたゲート12膜及びSiO₂膜14上にシリコンチャーフ化膜を形成し、全面リアクティブイオンエッティングすることにより、ゲート領域15の内側に側壁16を形成することができる。次に、チャネル部へのイオン注入を行なう(第2図(f))。

次に、ゲート領域15に露出している熱酸化膜9をエッティング除去する。次に、第1の実施例で示した工程を用いてゲート電極17を形成する。この後、絶縁膜を堆積して次の工程に進んでよい(第2図(g))。

または、絶縁膜を堆積して次の工程に進むかわりにゲート領域15の内側に設けられた側壁16をケミカルドライエッティング法により除去し、こ

第3図の断面図に示したように通常のMOSトランジスタでは、シリコン基板19上にフィールド酸化膜20のある領域と、ゲート酸化膜21のある領域で数百nmの段差がある。この上をゲートとしてのポリシリコン22が数さ300nmで堆積され、さらに酸化膜23を通常のCVD法によって堆積、エッチバックすると段差上部(フィールド酸化膜20上)では酸化膜23がゲート酸化膜21上ではゲートの下方が絶縁膜より薄くなってしまう。この状態ではゲートをエッティング除去できない。従って第1または第2実施例で示したように絶縁膜の過剰成長または異方性堆積を用いることが望ましい。

第4図は、本発明の第3の実施例の半導体装置の製造方法の工程断面図である。

ロ型シリコン基板24表面に熱酸化により酸化膜25を形成する。次にフォトリソグラフィ工組により厚さ約1.0μmのゲート電極のレジストパターンを形成する。このレジストパターンがゲー

ゲート 26 となる。なお、この際レジストとしては親水性のものを用いる（第 4 図(a)）。

次に、ダメージゲート 26 をマスクにボロンを加速電圧 2.0 keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、ソース／ドレイン領域 27 を形成する。この際、ソース／ドレイン領域 27 はダメージゲート 26 に対して自己整合的に形成される（第 4 図(b)）。

次に、シリカを飽和させたケイフ化水素酸水溶液にウェーハを浸没し、ALを添加すると、□型シリコン基板 24 上に SiO_x 層 28 が形成される。この際、レジストからなるダメージゲート 26 は親水性である為、ダメージゲート 26 上には、SiO_x 層 28 は形成されない。通常ポジ型レジストは親水性を示すが、フッ素を含むプラズマにさらすことにより、より一層親水性を示す様になる為、SiO_x 層 28 を形成する工程に先だって□型シリコン基板 24 にプラズマ処理を施しておいてもよい。また、この SiO_x 層 28 は、ダメージゲート 26 より薄く例えれば厚さ約 0.8 μm とする。この際、

図 4)。

以上に示した様な半導体装置の製造方法によれば、第 1 の実施例と同様の効果を奏するのみならず低抵抗で高熱の処理に耐え得るゲート電極を得ることができる。

第 5 図は、本発明の第 4 の実施例の半導体装置の製造方法の工程断面図である。

□型シリコン基板 24 表面に熱酸化により酸化膜 25 を形成する。次にフォトリソグラフィ工程により厚さ約 1 μm のゲート電極のレジストパターンを形成する。このレジストパターンがダメージゲート 26 となる。なお、この際レジストとしては親水性のものを用いる（第 5 図(a)）。

次に、ダメージゲート 26 をマスクにボロンを加速電圧 2.0 keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、ソース／ドレイン領域 27 を形成する。この際、ソース／ドレイン領域 27 はダメージゲート 26 に対して自己整合的に形成される（第 5 図(b)）。

次に、シリカを飽和させたケイフ化水素酸水

溶液、SiO_x 層 28 は、ダメージゲート 26 に対して自己整合的に形成される（第 5 図(c)）。

次に、レジストからなるダメージゲート 26 を除去し、チャネル不純物としてボロンを加速電圧 2.0 keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入する。この際、既にソース／ドレイン領域 27 は形成されているので、チャネルイオン注入後の熱処理に従来に比べ短時間で済む。従ってシャープなチャネルプロファイルを得ることができる。ここまでは、第 1 の実施例と同様の工程である（第 5 図(d)）。

次に、チタンナイトライド層 29 をスピクタ又は CVD 法により厚さ約 600 Å 増積する。既にて、ダメージゲート 26 を除去することにより生じた深部 30 にタンガステン層 31 を CVD 法により埋め込む（第 5 図(e)）。

次に、チタンナイトライド層 29 及びタンガステン層 31 をリアクティブイオンエッティングによりエッティングし深部 30 以外のタンガステン層 31 及びチタンナイトライド層 29 を除去する（第 5

図(f)）。

溶液にウェーハを浸没し、ALを添加すると、□型シリコン基板 24 上に SiO_x 層 28 が形成される。この際、レジストからなるダメージゲート 26 は親水性である為、ダメージゲート 26 上には、SiO_x 層 28 は形成されない。通常ポジ型レジストは親水性を示すが、フッ素を含むプラズマにさらすことにより、より一層親水性を示す様になる為、SiO_x 層 28 を形成する工程に先だって□型シリコン基板 24 にプラズマ処理を施しておいてもよい。また、この SiO_x 層 28 は、ダメージゲート 26 より薄く例えれば厚さ約 0.8 μm とする。この際、SiO_x 層 28 は、ダメージゲート 26 に対して自己整合的に形成される（第 6 図(c)）。

次に、レジストからなるダメージゲート 26 を除去し、チャネル不純物としてボロンを加速電圧 2.0 keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入する。この際、既にソース／ドレイン領域 27 は形成されているので、チャネルイオン注入後の熱処理に従来に比べ短時間で済む。従ってシャープなチャネルプロファイルを得ることができる。こ

こまでは、第1の実施例と同様の工程である(第4図(d))。

次に、ダメージートを除去することにより生じた界面30とポリシリコン32をCVD法により堆積し、この界面30を埋め込む(第5図(e))。

次に、リアクティブイオンエッティングによりポリシリコン32を界面30の深さ以下の厚さとなるまで除去する(第5図(f))。

次にチタンをスパッタ法により厚さ約50nm堆積し、800°Cで-Ta_xN_y気圧でアーニルするとポリシリコン32上にのみチタンシリサイド層33が形成される。アンモニア処理により未反応のチタンを除去することでポリシリコン32上にのみチタンシリサイド層33を残すことができる(第5図(g))。

以上に示した様な半導体装置の製造方法によれば、第1の実施例と同様の効果を有するのみならず低抵抗のポリシリコンゲート電極を得ることができる。

第6図は、本発明の第5の実施例の半導体装置

の製造方法の工程断面図である。

P型シリコン基板24表面に熱酸化により酸化膜25を形成する。次にフォトリソグラフィ工程により厚さ約1μmのゲート電極のレジストパターンを形成する。このレジストパターンがダメージート26となる。なお、この段レジストとしては親水性のものを用いる(第6図(h))。

次に、ダメージート26をマスクにボロンを加速電圧20keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、ソース／ドレイン領域27を形成する。この段ソース／ドレイン領域27はダメージート26に対して自己整合的に形成される(第6図(i))。

次に、シリカを飽和させたケイフ化水素酸水溶液にウェーハを浸漬し、ALを蒸発すると、P型シリコン基板24上にSiO_x層28が形成される。この段、レジストから成るダメージート26は親水性である為、ダメージート26上には、SiO_x層28は形成されない。通常ポジ型レジストは親水性を示すが、フッ素を含むプラズマにさらすこと

(第6図(j))。

次に硝酸とフッ酸の混合液により、レジスト35で覆われた部分以外のバラジウム34をエッティング除去する。次に、酸素アッシュでレジスト36をはく離する(第6図(k))。

次に硫酸銅溶液にウェーハーを浸漬することでバラジウム34の部分にのみ選択的に鋼35を堆積する(第6図(l))。

以上に示した様な半導体装置の製造方法によれば、第1の実施例と同様の効果を有するのみならず、低抵抗のゲート電極を得ることができる。

第7図は本発明の第6の実施例の半導体装置の製造方法の工程断面図である。

P型シリコン基板36上に熱酸化膜37を厚さ約20nm形成する。次に、シリコンテラ化膜38をCVD法により厚さ約0.3μm堆積する。次にポリシリコン膜39をCVD法により厚さ約0.1μm堆積する。次にフォトリソグラフィ工程及びエッティング工程によりポリシリコン膜39とシリコンテラ化膜38との接層部から成るダメージート

により、より一層親水性を示す様になる為、SiO_x層28を形成する工程に先だってP型シリコン基板24にプラズマ処理を施しておいてもよい。また、このSiO_x層28は、ダメージート26より薄く(例えば厚さ約0.8nm)とする。この段、SiO_x層28は、ダメージート26に対して自己整合的に形成される(第6図(c))。

次に、レジストから成るダメージート26を除去し、チャネル不純物としてボロンを加速電圧20keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入する。この段、既にソース／ドレイン領域27は形成されているので、チャネルイオン注入後の熱処理に従来に比べ短時間で済む。從ってシャープなチャネルプロファイルを得ることができる。こまでは、第1の実施例と同様の工程である(第6図(d))。

次に、バラジウム34をスパッタ法にて厚さ約30nm堆積する。次にレジスト35を塗布し、そのまま現像を行なってダメージートを除去することにより生じた界面30のみに残す様にする

4.0を形成する(第7図(d))。

次に、ポリシリコンをCVD法により厚さ約0.1μm程度1.、全面アタティブイオンエンゲーニングを行なうことにより、ポリシリコン膜3.9がシリコンチャップ3.8をくるんだ形状のダメージート4.0が形成される。次にヒ素をイオン注入し、ソース/ドレイン領域4.1を形成する(第7図(b))。

次に、第1の実施例で示したプラズマECR法を用いて、熱酸化膜3.7上のSiO₂膜4.2を選択的に成長させる。次に800°C、N₂中でアーナル処理を行なう(第7図(c))。

次に、シリコンチャップ3.8の周囲に形成されたポリシリコン膜3.9をケミカルドライエッティングを用いて除去し、このシリコンチャップ3.8とSiO₂膜4.2の隙間にリンをイオン注入して不純物層4.3を形成する(第7図(d))。

次に、シリコンチャップ3.8を選択的にエッティング除去し、第1の実施例に示した工程によりゲート電極4.4を形成する(第7図(e))。

示す工程断面図、第6図は、本発明の第5の実施例の半導体装置の製造方法を示す工程断面図、第7図は、本発明の第6の実施例の半導体装置の製造方法を示す工程断面図、第8図、第9図、第10図は、従来例の半導体装置の製造方法の工程断面図である。

図において、

1—ITO型シリコン基板、2—酸化膜、3—ダメージート、4—ソース/ドレイン領域、5—SiO₂膜、6—ゲート酸化膜、7—ポリシリコン。

代理人弁理士 関近雄佑

以上に示した半導体装置の製造方法によれば、従来のLDD構造の形成方法に比べ、ゲート電極と不純物層のオーバラップ部が大きくとれてMOSトランジスタの信頼性が向上する。

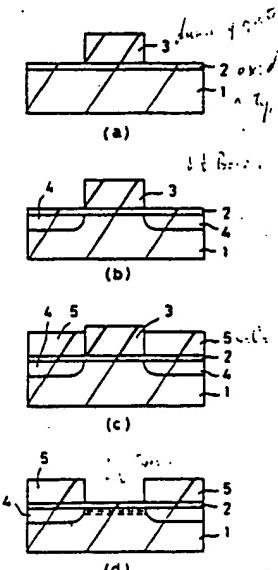
[発明の効果]

以上述べた様に本発明によればソース/ドレイン領域とゲート電極が自己整合的に形成されているので両者のあわせずれが生じず、微細化された素子を形成することができる。

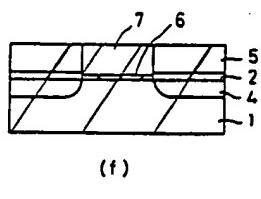
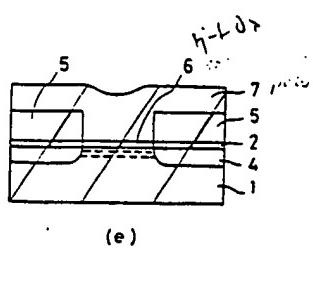
また、ゲート電極と周囲の絶縁膜の高さをそろえることが可能であるので素子の平坦化をはかることができる。

4. 図面の簡単な説明

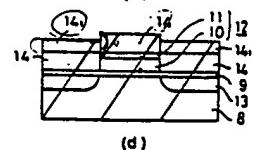
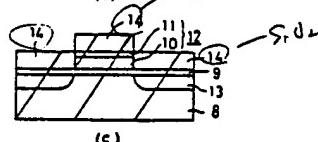
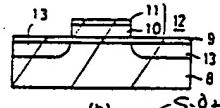
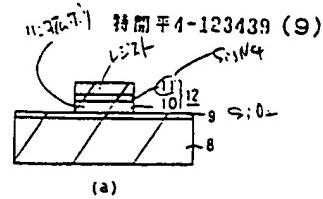
第1図は、本発明の第1の実施例の半導体装置の製造方法を示す工程断面図、第2図は、本発明の第2の実施例の半導体装置の製造方法を示す工程断面図、第3図は、従来例の半導体装置を示す断面図、第4図は、本発明の第3の実施例の半導体装置の製造方法を示す工程断面図、第5図は、本発明の第4の実施例の半導体装置の製造方法を



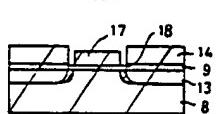
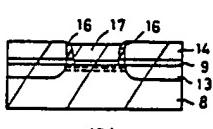
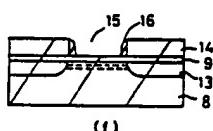
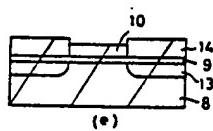
第1図



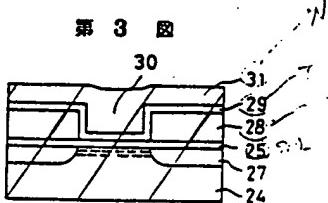
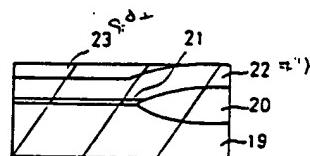
第 1 図



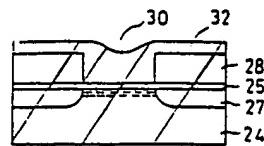
第 2 図



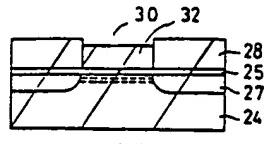
第 2 図



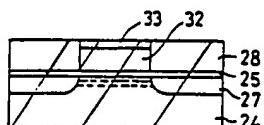
第 4 図



(a)

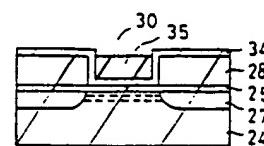


(b)

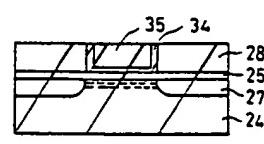


(c)

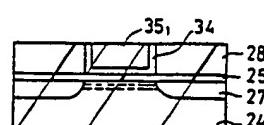
第5図



(a)

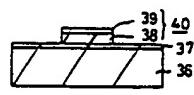


(b)

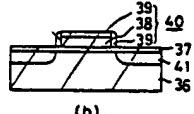


(c)

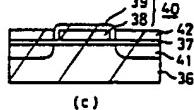
第6図



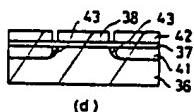
(a)



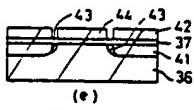
(b)



(c)

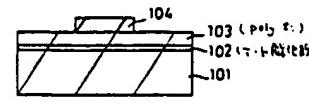


(d)

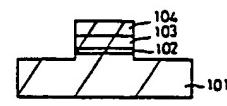


(e)

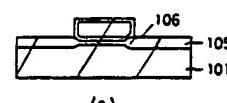
第7図



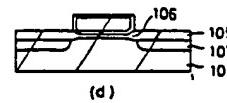
(a)



(b)

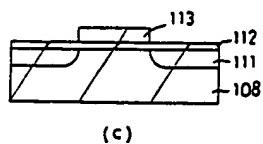
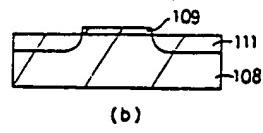
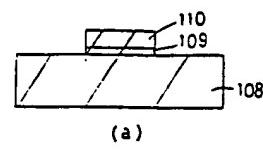


(c)

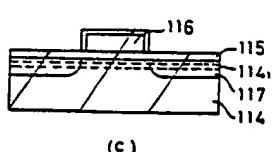
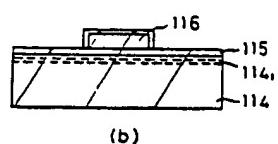
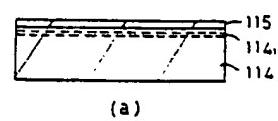


(d)

第8図



第9図



第10図